

# **Лабораторная работа № 5** **по курсу «Программное обеспечение цифрового проектирования»** **«Синхронные конечные автоматы»**

Необходимое программное обеспечение:

- Aldec Active-HDL;
- Evita\_VHDL;
- Xilinx ISE либо Mentor Graphics (в качестве средств синтеза);

1. Составить vhdl-описание синхронного цифрового конечного автомата по графу состояний (см. рис. 1):

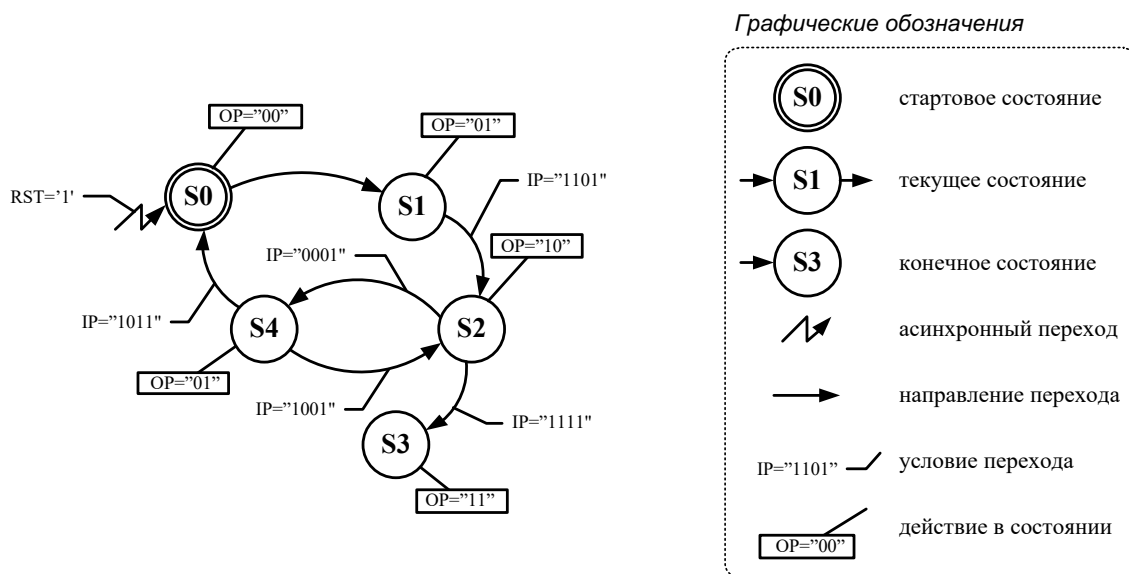
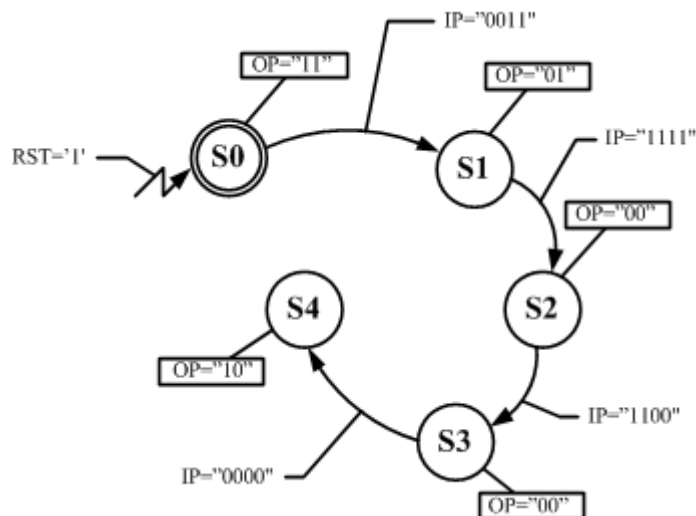


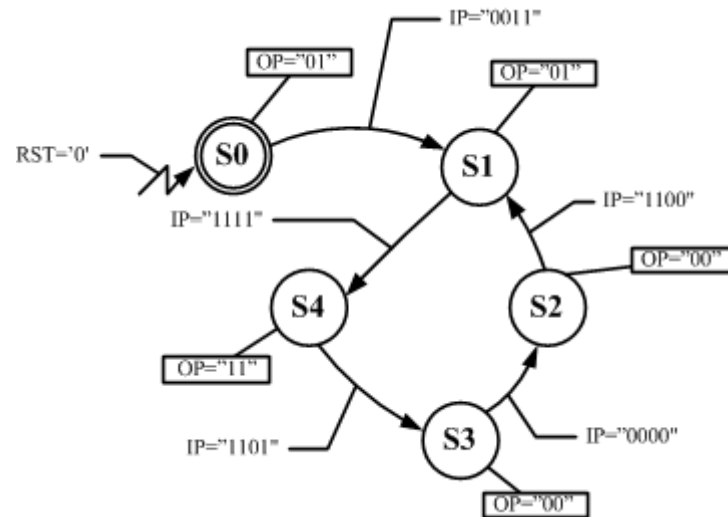
Рис. 1. Пример графа состояний конечного автомата.

2. Выполните индивидуальное задание (составление vhdl-описания конечного автомата по графу состояний и Testbench для проверки его работы):

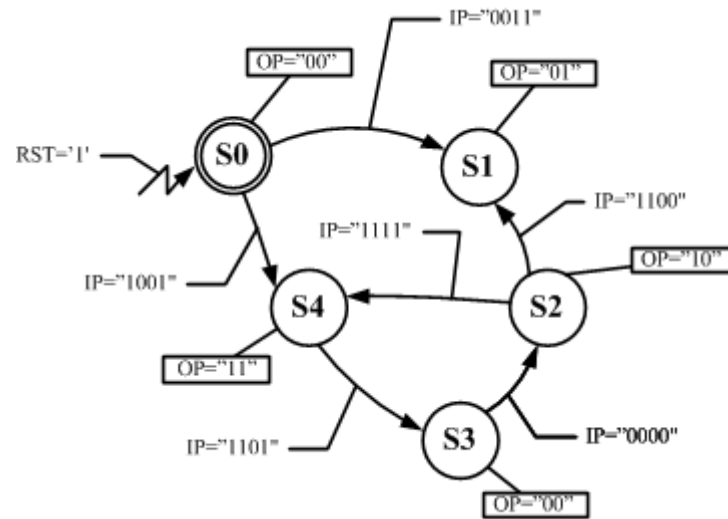
2.1.



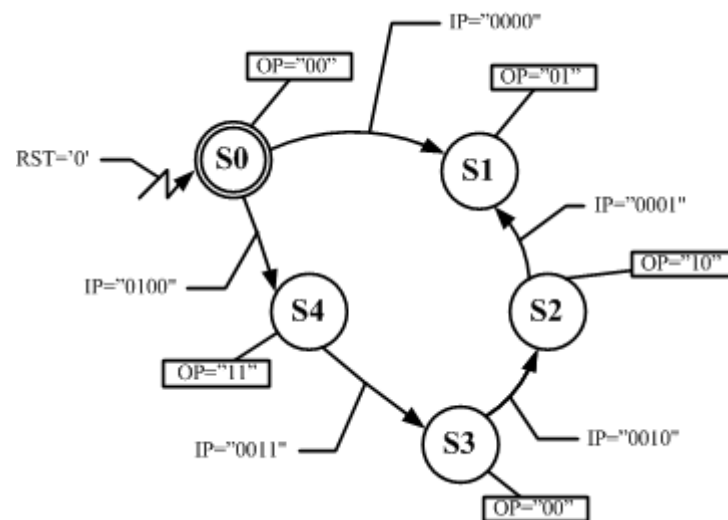
2.2.



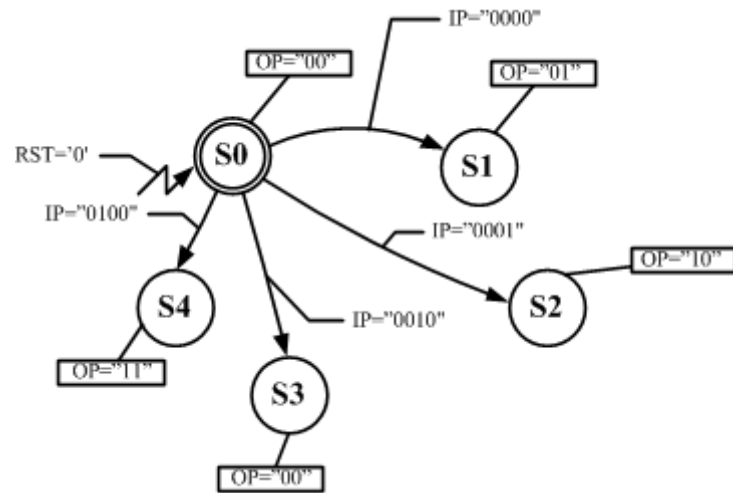
2.3.



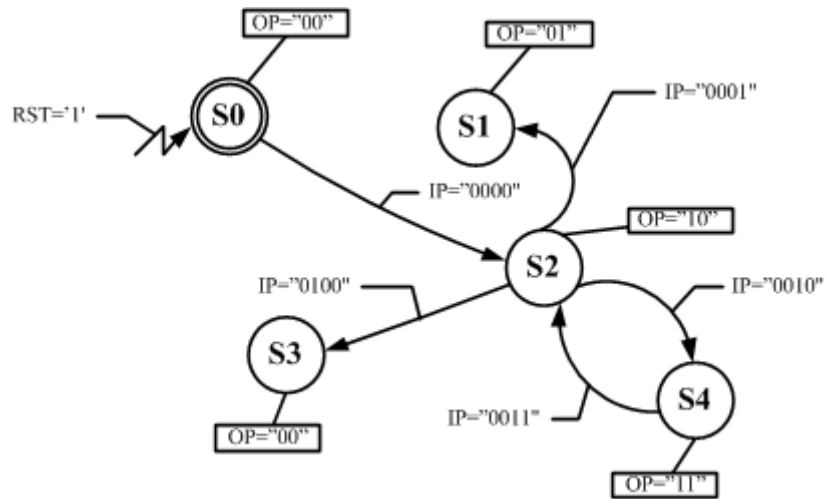
2.3.



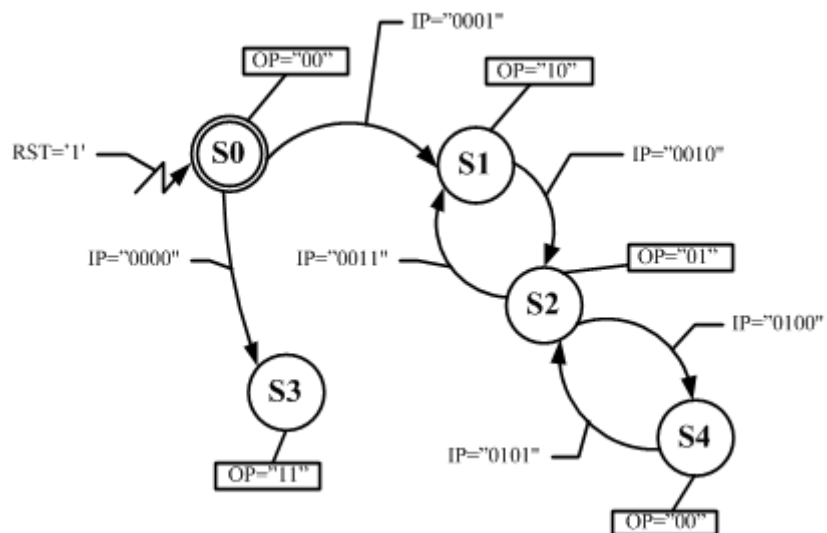
2.4.



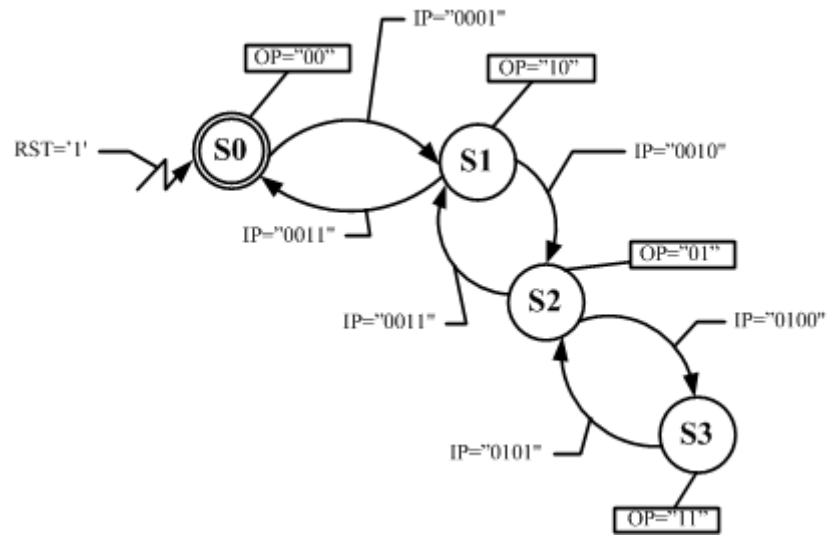
2.5.



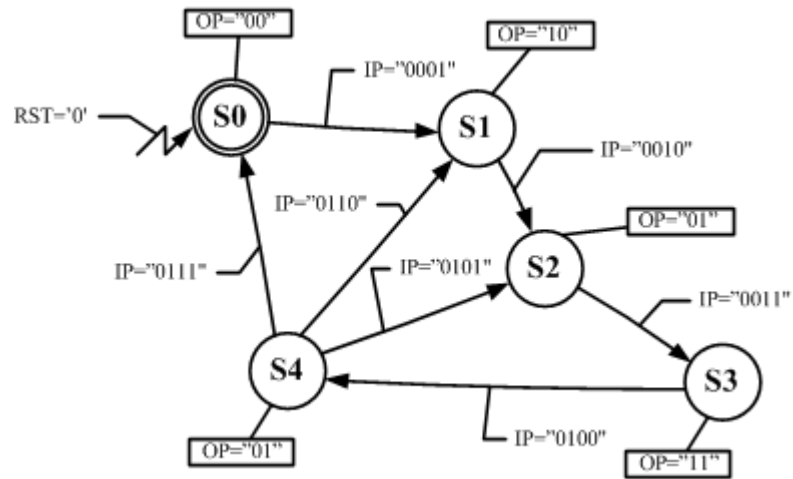
2.6.



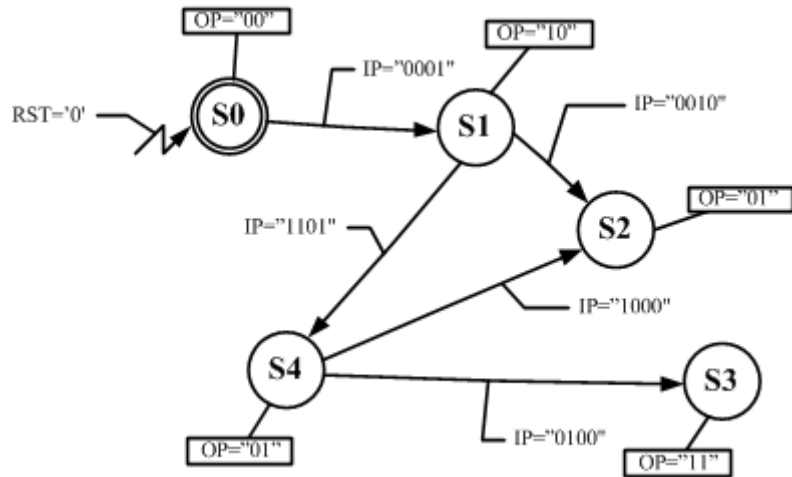
2.7.



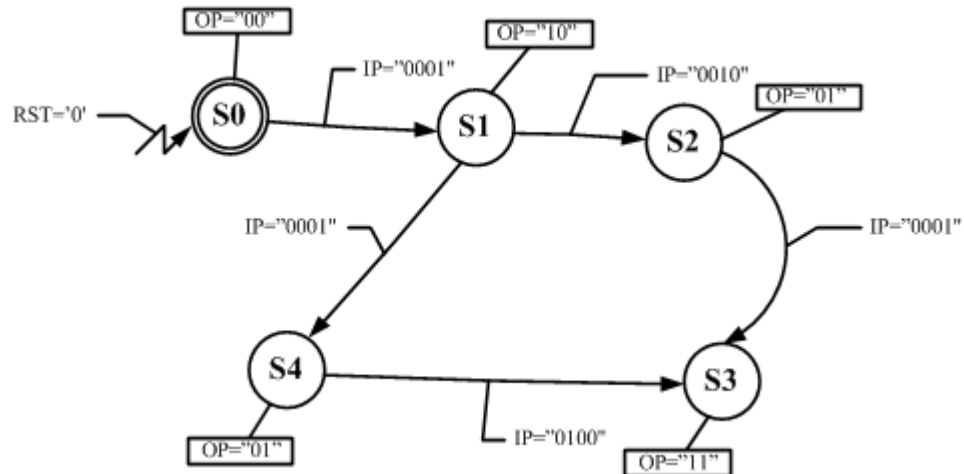
2.8.



2.9.



2.10.



- Задание 1 (4 балла).
  - Задание а и конечный автомат, не содержащий циклов (6 баллов).
  - Задание б и конечный автомат, содержащий цикл (8 баллов).
  - Задание с и еще один конечный автомат, отличный от первых трех (10 баллов).
3. В результате выполнения лабораторной работы составьте отчет. Отчет должен содержать следующую информацию:
- Постановка задачи;
  - Vhdl-описания выполненных заданий;
  - Vhdl-описания Test Bench;
  - Анализ результатов RTL-синтеза каждого задания;
  - Выводы.