



Рис. 11.15

в момент действия сигнала «Опрос». Время прихода этого сигнала выбирается с учетом максимальной задержки суммирования, а длительность должна быть меньше длительности слагаемых, т.е. длительности СИ.

По окончании действия СИ значение переноса  $P_1 = 1$  перепи-сывается во вторую ячейку памяти и оказывается на входе  $P_{i-1}$  сумматора. Слагаемые  $A_1$  и  $B_1$  на входе схемы к этому времени будут отсутствовать, так как действие СИ уже закончилось.

*Второй такт.* Перед приходом второго СИ на входе  $P_{i-1}$  сумматора находится единица. Поданные на вход схемы слагаемые  $A_2 = 0$  и  $B_2 = 0$  поступят на вход сумматора только с приходом второго СИ. В результате получатся значение суммы  $S_2 = 1$  и значение пере-носа  $P_2 = 0$ , который зафиксируется в первой ячейке элемента памяти. В момент действия сигнала «Опрос» полученное значение суммы через замкнутый выходной ключ окажется на выходе схемы.

По окончании действия СИ значение  $P_2 = 0$  поступает на вход  $P_{i-1}$  сумматора, а действие слагаемых  $A_2$  и  $B_2$  к тому времени заканчивается.

*Третий такт.* Аналогичным образом происходит формирова-ние  $S_3$  и  $P_3$ .

### 11.11. Накапливающий сумматор

Накапливающий сумматор (рис. 11.16) также относится к ком-бинационным сумматорам последовательного действия. В отличие от предыдущей схемы здесь с помощью многоразрядного элемен-та памяти сохраняется не перенос, а полученное поразрядное зна-чение суммы, которое затем используется в следующем такте сло-жения в качестве второго слагаемого. Такие сумматоры называют *аккумуляторами*.

Рассматриваемая схема производит сложение четырехразрядных слагаемых  $A$  и  $B$  и состоит из входных ключей; многоразрядного



Рис. 11.16

сумматора; четырех двухтактных ячеек памяти, образующих две последовательные ступени, и выходных ключей.

В исходном состоянии многоразрядная память очищена и во всех разрядах содержит нули, которые поступают в качестве исходного слагаемого  $B$  на вход сумматора.

С приходом первого СИ поданное четырехразрядное число  $A$  поступает на входы сумматора, где и происходит его сложение с исходным слагаемым  $B$ , равным 0. Под действием СИ полученное значение суммы фиксируется в первой ступени памяти и проходит через выходные ключи на выход схемы.

По окончании действия СИ значение суммы переписывается во вторую ступень памяти и автоматически поступает на вход сумматора. Действие слагаемого  $A$  к этому времени заканчивается.

Аналогичным образом происходит формирование очередной суммы в следующих тактах работы схемы.

Схема накапливающего сумматора, где в качестве схемы памяти для хранения промежуточных сумм используется регистр, более подробно рассматривается в гл. 14.

## 11.12. Двоично-десятичный сумматор

При изучении сложения двоично-десятичных чисел отмечалась необходимость коррекции результата с момента, когда начинается различие в изображении двоичных и двоично-десятичных чисел, т.е. с числа 9.

Признаком необходимости введения коррекции (прибавление числа  $6_{(10)} = 0110_{(2)}$ ) является:

одновременное наличие единиц в четвертом и втором разрядах; одновременное наличие единиц в четвертом и третьем разрядах; наличие межтетрадного переноса для чисел больше  $15_{(10)}$ .

Схема двоично-десятичного сумматора представлена на рис. 11.17.

Схема состоит из двух комбинационных сумматоров: сумматора исходных слагаемых  $DD1$ , где получается значение потетрадной суммы в двоичном коде, и корректирующего сумматора  $DD5$ , преобра-